

POWERED BY **Dialog**

---

## **COMPUTER SYSTEM PROVIDED WITH PLURAL COORDINATE DETECTORS WITH DISPLAY DEVICES**

**Publication Number:** 07-262133 (JP 7262133 A)

**Published:** October 13, 1995

### **Inventors:**

- MORII HIROKI

### **Applicants**

- WACOM CO LTD (A Japanese Company or Corporation), JP (Japan)

**Application Number:** 06-076533 (JP 9476533)

**Filed:** March 23, 1994

### **International Class (IPC Edition 6):**

- G06F-015/00
- G06F-003/00
- G06F-003/033
- G06F-013/00
- H04N-007/15

### **JAPIO Class:**

- 45.4 (INFORMATION PROCESSING--- Computer Applications)
- 44.6 (COMMUNICATION--- Television)
- 45.2 (INFORMATION PROCESSING--- Memory Units)
- 45.3 (INFORMATION PROCESSING--- Input Output Units)

### **JAPIO Keywords:**

- R011 (LIQUID CRYSTALS)

### **Abstract:**

**PURPOSE:** To produce an inexpensive and small-sized (thin) coordinate detector with display device and to easily connect and extend the coordinate detector, for example, in an electronic conference system.

**CONSTITUTION:** This system consists of plural coordinate detectors 12 with display devices, a computer main body 11 including an LCD control signal generating circuit 32 which generates an LCD control signal, and a parallel adapter 13 which is arranged between coordinate detectors with display devices and the computer main body and takes in the signal outputted from each coordinate detector

with display device to send it to the computer main body and sends the LCD control signal outputted from the LCD control signal generating circuit to all coordinate detectors with display devices. The parallel adapter has a contention control circuit 50.

JAPIO

© 2006 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 4969533

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-262133

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/00	3 1 0 A	7459-5L		
3/00	V			
3/033	3 5 0 C	7323-5B		
13/00	3 5 1 G	7368-5B		
H 0 4 N 7/15				

審査請求 未請求 請求項の数3 F D (全 13 頁)

(21)出願番号 特願平6-76533

(22)出願日 平成6年(1994)3月23日

(71)出願人 000139403

株式会社ワコム

埼玉県北埼玉郡大利根町豊野台2丁目510  
番地1

(72)発明者 森井 裕樹

大分県大分市東春日町51-8 大分ソフィ  
アプラザビル4F 404号 ワコム大分開  
発センター内

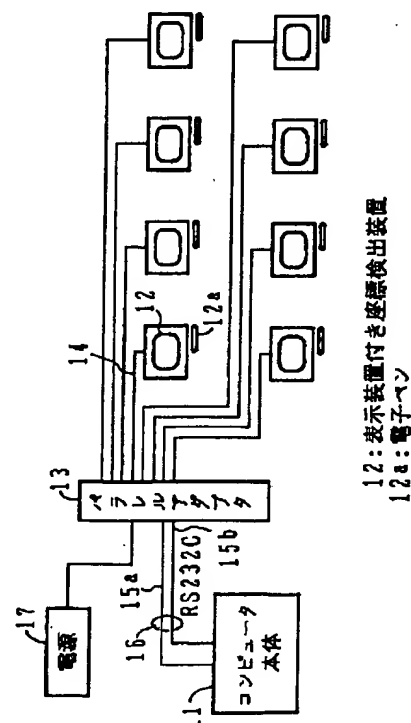
(74)代理人 弁理士 田宮 寛社

(54)【発明の名称】 複数台の表示装置付き座標検出装置を備えるコンピュータシステム

(57)【要約】

【目的】 例えば電子会議システムで、表示装置付き座標検出装置を安価かつ小型(薄型)に作り、座標検出装置の接続および増設を容易に行う。

【構成】 複数台の表示装置付き座標検出装置12と、LCDコントロール信号を生成するLCDコントロール信号生成回路32を含むコンピュータ本体11と、表示装置付き座標検出装置とコンピュータ本体の間に配置され、各表示装置付き座標検出装置から出力された信号を取り込んでコンピュータ本体に送出し、LCDコントロール信号生成回路から出力された前記LCDコントロール信号をすべての前記表示装置付き座標検出装置に送出するパラレルアダプタ13とから構成される。パラレルアダプタは、競合制御回路50を有する。



## 【特許請求の範囲】

【請求項1】 複数台の表示装置付き座標検出装置と、  
LCDコントロール信号を生成するLCDコントロール  
信号生成回路を含むコンピュータ本体と、  
前記表示装置付き座標検出装置と前記コンピュータ本体  
との間に配置され、各表示装置付き座標検出装置から出  
力された信号を取り込んで前記コンピュータ本体に送出  
し、前記LCDコントロール信号生成回路から出力され  
た前記LCDコントロール信号をすべての前記表示装置  
付き座標検出装置に送出するパラレルアダプタを含み、  
複数台の前記表示装置付き座標検出装置は前記パラレル  
アダプタによって前記コンピュータ本体に接続されるこ  
とを特徴とする複数台の表示装置付き座標検出装置を備  
えるコンピュータシステム。

【請求項2】 請求項1記載の複数台の表示装置付き座  
標検出装置を備えるコンピュータシステムにおいて、前  
記表示装置付き座標検出装置からの出力信号を伝送する  
信号線と前記LCDコントロール信号を伝送する信号線  
とを統合して1本のケーブルとし、このケーブルで、前  
記表示装置付き座標検出装置と前記パラレルアダプタと  
の間、および前記コンピュータ本体と前記パラレルアダ  
プタとの間を接続したことを特徴とする複数台の表示装  
置付き座標検出装置を備えるコンピュータシステム。

【請求項3】 請求項1記載の複数台の表示装置付き座  
標検出装置を備えるコンピュータシステムにおいて、前  
記パラレルアダプタは、2台以上の前記表示装置付き座  
標検出装置が同時に出力を行ったとき、1台の表示装置  
付き座標検出の出力信号を取り出すための競合制御回路  
を有することを特徴とする複数台の表示装置付き座標検  
出装置を備えるコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は複数台の表示装置付き座  
標検出装置を備えるコンピュータシステムに関し、特  
に、例えば電子会議システムの利用に適したコンピュ  
ータシステムに関する。

## 【0002】

【従来の技術】 従来の電子会議システムの一例を図14  
で示す。この電子会議システムは、本出願人が先に製品  
として提案しているもので、コンピュータ本体100  
と、例えば6台の表示装置付き座標検出装置101と、  
シリアル分配器102とを含む。表示装置付き座標検出  
装置101において、表示装置はLCD（液晶表示装  
置）である。この構成において、いずれかの表示装置付  
き座標検出装置101から電子ペン103で書き込み入力  
された内容は、シリアル分配器102で競合制御（例え  
ば早い者勝ち）されて取り出され、コンピュータ本体1  
00に送られる。またコンピュータ本体100で生成さ  
れた表示内容に関する信号は、6台の表示装置付き座標  
検出装置101のそれぞれに送られ、各表示装置で表示

される。シリアル分配器102からコンピュータ本体1  
00への信号の伝送では、RS232Cケーブル104  
が使用される。またコンピュータ本体100から表示装  
置付き座標検出装置101への表示内容に関する信号の  
伝送では、デジタルRGB信号が使用される。

【0003】 電子会議システムの他の従来例としては、  
複数の入出力一体型ペンコンピュータが、ネットワーク  
（イーサネット等）を介してコンピュータ本体と接続さ  
れるように構成されたものがある。

## 【0004】

【発明が解決しようとする課題】 図14で示した電子会  
議システムでは、各表示装置付き座標検出装置101  
は、コンピュータ本体100から送られてくるデジタル  
RGB信号をLCDコントロール信号に変換するための  
RGB-LCD変換LSIや、表示メモリを内部に備え  
なければならない。そのために、表示装置付き座標検出  
装置が高価となり、かつ小型化することが困難である  
という問題があった。また、各表示装置付き座標検出装置  
101からコンピュータ本体100へ信号を送る線と、  
コンピュータ本体100から6台の表示装置付き座標検  
出装置101へ信号を送る線が別々であり、配線が面倒  
であると共に、表示装置付き座標検出装置を増設する必  
要がある場合に、増設作業が面倒であるという問題を有  
していた。

【0005】 またネットワークを利用して構成される電  
子会議システムでは、ネットワークに接続される各ペン  
コンピュータが高速なCPUやメモリを搭載しインテリ  
ジェント端末として構成され、そのようなペンコンピ  
ュータを多数接続するためシステム全体が非常に高価にな  
る。また端末装置の厚みを薄くし、小型化することも困  
難である。

【0006】 本発明の目的は、例えば電子会議システム  
の利用に適しており、表示装置付き座標検出装置を安価  
かつ小型（薄型）に作ることができ、表示装置付き座標  
検出装置の接続および増設を容易に行うことができる複  
数台の表示装置付き座標検出装置を備えたコンピュ  
ータシステムを提供することにある。

## 【0007】

【課題を解決するための手段】 本発明に係るコンピュ  
ータシステムは、複数台の表示装置付き座標検出装置と、  
LCDコントロール信号を生成するLCDコントロール  
信号生成回路を含むコンピュータ本体と、表示装置付き  
座標検出装置とコンピュータ本体との間に配置され、各  
表示装置付き座標検出装置から出力された信号を取り込  
んでコンピュータ本体に送出し、LCDコントロール信  
号生成回路から出力された前記LCDコントロール信号  
をすべての前記表示装置付き座標検出装置に送出するパ  
ラレルアダプタを含み、複数台の表示装置付き座標検出  
装置はパラレルアダプタによってコンピュータ本体に接  
続される。

【0008】表示装置付き座標検出装置からの出力信号を送送する信号線とLCDコントロール信号を送送する信号線とを統合して1本のケーブルとし、このケーブルで、各表示装置付き座標検出装置とパラレルアダプタとの間、およびコンピュータ本体とパラレルアダプタとの間を接続する。

【0009】また、パラレルアダプタは、2台以上の表示装置付き座標検出装置が同時に出力を行ったとき、1台の表示装置付き座標検出の出力信号を取り出すための競合制御回路を有する。

【0010】

【作用】本発明では、コンピュータ本体がLCDコントロール信号を生成する手段を内蔵し、コンピュータ本体とは分離して設けられた表示装置付き座標検出装置がLCDコントローラ、RGB-LCD変換LSI、表示メモリを内部に備えず、コンピュータ本体からLCDコントロール信号を受けとって表示動作を行い、コンピュータ本体と表示装置付き座標検出装置との間に、パラレルアダプタを配置し、このパラレルアダプタによって複数  
20 台の表示装置付き座標検出装置の接続を容易とし、さらに増設も容易とする。

【0011】

【実施例】以下に、本発明の実施例を添付図面に基づいて説明する。

【0012】図1は、本発明に係るコンピュータシステムの基本的な構成を示す。本図において11はコンピュータ本体、12は表示装置付き座標検出装置（以下簡略して座標検出装置という）、13はパラレルアダプタである。座標検出装置12は、例えば8台設けられている。コンピュータ本体11の構成および機能、および座標検出装置12の構成および機能は、基本的に、本出願人が従来から提案しているものと同じである。座標検出装置12としては、例えばワコム社製PL100V（商品名）である。コンピュータ本体11と座標検出装置12については、特開平5-73208号に開示される。パラレルアダプタ13は、本発明の特徵的構成要素である。座標検出装置12は、書込み入力部と出力表示部が例えば積層状態で一体となっており、かつ入力手段としてペン型位置指示器（以下電子ペンという）12aを備えている。8台の座標検出装置12のそれぞれは、複数の信号線が、統合化された1本のケーブル14を介してパラレルアダプタ13と接続される。またコンピュータ本体11とパラレルアダプタ13との間は、LCD（液晶表示装置）コントロール信号などをパラレルアダプタ13へ伝送するための信号線15aと、例えば座標検出装置12における入力内容に関する信号（シリアル座標データ）を送送する信号線（RS232C）15bとで接続されている。信号線15aと信号線15bは、実際の使用状態では1本のケーブル16に統合される。なお17は、各座標検出装置12へ電力を供給するための電  
50

源である。

【0013】上記のコンピュータシステムは、例えば、図4に示すような電子会議システムに利用される。図4では、テーブル18の上に、コンピュータ本体11と8台の座標検出装置12とパラレルアダプタ13が載置されている。パラレルアダプタ13と各座標検出装置12は、それぞれ、1本のケーブル14で接続されている。パラレルアダプタ13はテーブル18のほぼ中央に配置される。パラレルアダプタ13と各座標検出装置12との間のケーブルはほぼ同じ長さである。各座標検出装置12は電子ペン12aによる書込み操作によって入力が行われるが、他の入力手段としてキーボードをコンピュータ本体11に接続して入力することもできる。電子会議システムとしては、さらに電子黒板19と、カラー液晶を備えた投影装置20が付設される。また、電子会議システムであることから、遠隔に配置される他の同様な構成を有するシステムと、内蔵される通信手段および公衆回線21を経由して、データのやり取りを行えるように構成することもできる。本実施例では、通信手段の説明は省略する。

【0014】図2および図3を参照して、コンピュータ本体11と座標検出装置12の内部構造を説明する。

【0015】コンピュータ本体11は、CPU31とLCDコントロール信号生成回路32と表示メモリ33を含み、さらにバッファ34、35が設けられている。LCDコントロール信号生成回路32で生成され、当該回路から出力されたLCDコントロール信号は、バッファ34を経由してパラレルアダプタ13に送出される。パラレルアダプタ13の分配機能によって、LCDコントロール信号は、パラレルアダプタ13に接続されるすべての座標検出装置12に供給される。またパラレルアダプタ13から出力された各座標検出装置12の入力内容に関する信号は、バッファ35とシリアルコントローラ10を経由してCPU31に送られる。LCDコントロール信号生成回路32は、座標検出装置の側から送られるペン入力内容、その他の入力内容や処理結果に基づいてLCDコントロール信号を生成する。

【0016】座標検出装置12は前述の通り入出力一体型であり、出力装置であるLCD表示部36と入力検出部であるタブレットセンサ37とは積層構造で設けられている。パラレルアダプタ13を経由してLCDコントロール信号生成回路32から送られてくるLCDコントロール信号はバッファ37を経由してドライバ38に与えられ、ドライバ38はLCDコントロール信号に基づいてLCD表示部36の表示動作を制御する。他方、座標検出装置12の上で電子ペン12aを操作し、それによって入力を行うと、その入力内容はタブレットセンサ37によって検出される。タブレットセンサ37で検出された入力内容はタブレット処理部39で処理され、その後、シリアル座標データとしてバッファ40を経由して

パラレルアダプタ13へ送出される。

【0017】座標検出装置12の内部構成をさらに詳しく示すと、図3のようになる。座標検出装置12には、前述の図2およびこの図3で明らかなように、コンピュータ本体11からパラレルアダプタ13を介して、LCD表示部36を表示動作させるLCDコントロール信号DU0~3、DL0~3、制御信号CP1、CP2がTTL信号で入力され、かつ信号RxD（制御コマンド等）が入力される。信号RxDはタブレット処理部39 10に入力される。またタブレットセンサ37で検出された入力内容に関する信号は、アナログ信号処理部と座標計算や通信等に用いられるCPUを含むタブレット処理部39で処理された後、信号TxD（シリアル座標データ等）として出力される。LCDコントロール信号DU0~3、DL0~3、制御信号CP1、CP2の信号線と、TxD、RxDの各信号線は、1本のケーブル14として統合されている。

【0018】また図3では、LCD表示部36を照明するためのバックライトユニット81が設けられる。前述の電源17から供給される電流は昇圧トランス82で昇圧された後、バックライトユニット81へ給電される。 20

【0019】座標検出装置12は、その内部に従来装置のようにLCDコントローラ、RGB-LCD変換LSI、表示メモリを備えていないので、表示装置付き座標検出装置を極めて薄型の厚みで作ることができると共に、低価格化を達成することができる。厚みとしては例えば15mmであり、従来の類似装置として比較して1/4~1/2の厚みにすることができる。表示装置付き座標検出装置12の厚みを従来装置に比較して薄くすることができるので、テーブルに置くだけで足り、使用しや 30すいシステムを作ることができる。

【0020】次に、図5を参照してパラレルアダプタ13の構成の一例について説明する。コンピュータ本体11からのケーブル16は、統合化された1本のケーブルであり、前述の信号線15aと信号線15bを含む。ケーブル16はパラレルアダプタ13のコネクタ41に接続される。信号線15aのLCDコントロール信号DL0~DL3、DU0~DU3はTTLバッファ42に入力される。制御信号CP1、CP2はTTLバッファ43に入力される。また信号線15bの信号TxD（制御コマンド）は、バッファ44に入力され、RS232CからTTLに変換される。そして出力側では、LCDコントロール信号、制御信号、信号TxDは、それぞれ各座標検出装置12ごとに分配されると共に、LCDコントロール信号と制御信号はTTLバッファ45を通 40って、信号TxDはTTLからRS232Cへ変換するバッファ46を通して、その後統合化され、コネクタ47から対応する各座標検出装置に送出される。また電源17から給電される電気は、コネクタ48を経由して取り込まれ、出力側で各座標検出装置ごとに分配され、コネ 50

クタ47を通して各座標検出装置12に供給される。なお、図示は省略したが、当然のことながらパラレルアダプタ13内に必要な電源も電源17が供給する。

【0021】他方、各座標検出装置12のタブレット処理部39から出力される信号TxD（シリアル座標データ）は、コネクタ47を経由してパラレルアダプタ13内に入り、バッファ49でRS232CからTTLに変換される。その後、競合制御回路50で競合制御を受け、取り出された信号が、RxDとして、バッファ51でTTLからRS232Cに変換された後、コンピュータ本体11へ送出される。

【0022】上記の構成において、バッファ45、46、49は1つの座標検出装置12に対応して組として構成され、複数の組がバッファユニット52の中に設けられる。パラレルアダプタ13には、バッファユニット52内に設けられたバッファの組数だけ、表示装置付き座標検出装置12を並列に接続することができる。この構造によって複数の表示装置付き座標検出装置12を容易に接続することができる。また、各座標検出装置12とパラレルアダプタ13は1本のケーブル14で結線されるので、取扱いが容易であると共に、増設を容易に行うことができる。また複数の座標検出装置12のそれぞれから送られてくるシリアル座標データは、それらがほぼ同時にパラレルアダプタ13に入力されたとき、競合制御回路50の競合制御に基づいて、衝突することなく、コンピュータ本体11に送られる。

【0023】次に、競合制御回路50の一例を図6を参照して説明する。図6の実施例では、ハード的な構成に基づいて競合制御を行うものである。図6において、図5で説明した要素と実質的に同一の要素には同一の符号を付している。

【0024】8台の座標検出装置12のそれぞれにおいて電子ペンによる入力検出されると、タブレット処理部39は入力内容に関するシリアル座標データを送出する。図6に示されたポート1からポート4はそれぞれ4台の座標検出装置12に対応している。ポートは、実際には図1に示した8台の座標検出装置のそれぞれに対応して1~8まで設けられるが、説明の便宜上、図6ではポート1~4のみを示している。

【0025】ポート1にシリアル座標データが入力された場合、シリアル座標データは2入力ANDゲート53-1の一方の入力端子に入力する共に、ワンショット回路52-1がシリアル座標データの入力の有無を検出する。ワンショット回路52-1でシリアル座標データが検出されると、その検出信号は2入力ANDゲート54-1の一方の入力端子に入力される。このANDゲート54-1の出力は、上記ANDゲート53-1の他方の入力端子に入力される。従って、ANDゲート53-1では、ANDゲート54-1の出力状態に基づいてそのゲートの開閉が制御される。ANDゲート53-1が開

いたとき、入力されたシリアル座標データが通過し、ORゲート55に入力される。上記のワンショット回路52-1、2つのANDゲート53-1、54-1の構成は、ポート1~8のそれぞれについて設けられる。図6では、ポート2~4に対応するワンショット回路52-2~52-4、ANDゲート53-2~53-4、54-2~54-4が示されている。

【0026】次に、ポート1~4のそれぞれに対応するANDゲート54-1~54-4の他方の入力端子にはデコーダ56の出力が入力される。デコーダ56は、その出力に基づいてANDゲート54-1~54-4のいずれか1つを繰り返し選択する動作を行っている。例えばANDゲート54-1が選択されると、当該ANDゲート54-1はオンされ、ORゲート57を介してカウンタ58を停止させると共に、対応するANDゲート53-1を開く。その結果、ポート1から入力されたシリアル座標データはANDゲート53-1を通り、さらにORゲート55を通過してコンピュータ本体11側に出力される。ワンショット回路52-1でポート1に入力されるシリアル座標データが検出されなくなると、ANDゲート54-1がオフされ、ANDゲート53-1のゲートを閉じると共に、カウンタ58の動作停止も解除され、デコーダ56は4つのANDゲート54-1~54-4を逐次選択する動作を再び開始する。こうして、8台の座標検出装置の少なくとも1つから対応ポートへシリアル座標データが送られると、競合制御回路50の作用に基づいて適宜に1つのシリアル座標データが選択されてコンピュータ本体11に送出されてる。

【0027】上記の競合制御回路50に基づく競合制御の実施例によれば、コンピュータ本体11の側、および表示装置付き座標検出装置12の側のそれぞれにおいて変更を加える必要がないという利点を有する。例えば、コンピュータ本体11において特別な競合制御用ドライバを設ける必要がない。

【0028】次に、図7と図8を参照して競合制御の他の実施例について説明する。この実施例ではプロトコルを利用して競合制御を行う方式である。従ってハード面では、図5で示した競合制御回路50に相当する部分には、図7に示すようにORゲート61を設けるだけであり、簡素な構成となっている。なお図7のその他の構成は、図5に示した構成と同じであり、同一要素には同一の符号を付し、その説明を省略する。

【0029】本実施例の競合制御では、プロトコルに基づく通信を行うことから、コンピュータ本体11の側では競合制御の通信に関与するタブレットドライバを備え、座標検出装置12の側では競合制御の通信に関与する処理手段を備える必要がある。また本実施例のプロトコルによる競合制御では、一例として、各座標検出装置で同時に入力された内容が同時描画される構成とし、同時描画できる座標検出装置の許容台数が2台であるとす

る。

【0030】図8は、プロトコルによる競合制御のタイミングチャートの例を示し、8台の座標検出装置12(タブレット(1)~(8))を備えるシステムに対応するもので、一例として座標検出装置12のうち1番目のもの(タブレット(1))と4番目のもの(タブレット(4))がシリアル座標データをコンピュータ本体11の側に送出する手順を示している。プロトコルによる競合制御は、コンピュータ本体11のタブレットドライバと各座標検出装置12のCPUとの間のデータのやり取りに基づいて行われる。コンピュータ本体から座標検出装置への信号はコンピュータ側の信号線TxDを通過して座標検出装置側の信号線Rx dへ送給され、座標検出装置からコンピュータ本体への信号は座標検出装置側の信号線Tx dを通過してコンピュータ側の信号線Rx dへ送出される。図8においてTxD、Rx dはコンピュータ本体11側で見たデータ状態を示す。図8(A)は、コンピュータ本体11がタブレット(1)、(4)が出した要求を受けて、タブレット(1)およびタブレット(4)との間で通信を行う状態を示し、図8(B)はコンピュータ本体11がタブレット(1)およびタブレット(4)との間で通信を行っているときにタブレット(1)が通信状態から離脱する状態を示し、図8(C)はコンピュータ本体11とタブレット(4)との通信状態からタブレット(4)が離脱する状態を示す。コンピュータ本体11と座標検出装置との間では、時間間隔T1のサイクルで通信が行われる。T1としては、例えば10msである。

【0031】図8(A)に示した通信を説明する。第1サイクルS11で、コンピュータ本体11は、パラレルアダプタ13を経由して、8台の座標検出装置12の側に対してアスキーコード62(1~8)を一定の間隔を開けて送出する。座標検出装置の側では、電子ペンによる入力操作を検出した場合において、アスキーコード62において自分の個別番号を受けとったときには、自分のリクエストコードをコンピュータ本体11の側に送出する。第1サイクルS11では、タブレット(1)がアスキーコードを受けて、リクエストコード63(1)を送出し、このリクエストコード63をコンピュータ本体11が受ける。

【0032】第2サイクルS12で、コンピュータ本体11は、リクエストコード63に対応して、リクエストされたコード64を送出する。再び個別番号(コード64)を受けとったタブレット(1)は、1ポイント分のシリアル座標データ65をコンピュータ本体11に対して送出する。本実施例のシステムでは2台までの同時描画を可能にするために、コンピュータ本体11は、シリアル座標データ65を受けた後、他の1台からリクエストコードを得るべく、1を除く他のアスキーコード66を送出する。タブレット(4)は個別番号を受けとつ

て、リクエストコード67をコンピュータ本体11へ送出し、コンピュータ本体11はリクエストコード67を受ける。

【0033】第3サイクルS13では、最初にコンピュータ本体11がコード64を送出し、これを受けたタブレット(1)が1ポイント分のシリアル座標データ65をコンピュータ本体11に対して送出する。コンピュータ本体11は、シリアル座標データ65を受けた後、リクエストコード67に対応するコード68を送出する。これを受けたタブレット(4)は、1ポイント分のシリアル座標データ69をコンピュータ本体11に対して送出する。こうして第3サイクルS13で、コンピュータ本体11は、タブレット(1)とタブレット(4)からシリアル座標データを受けとる。第3サイクル以降のサイクルでは、コンピュータ本体11とタブレット(1)、(4)との間で通信が継続される限り、第3サイクルの内容が繰り返される。

【0034】図8(B)の通信について説明する。この通信では、図8(A)の通信状態においてタブレット(1)が離脱する。第1サイクルS21は、前述のサイクルS13の内容と同じである。第2サイクルS22では、コード64に応じてタブレット(1)から送られてくるシリアル座標データ65の中にエンドビットが含まれている。第2サイクルS22におけるタブレット(4)との間の通信は、同様に継続される。コンピュータ本体11は、シリアル座標データ65のエンドビットを検出すると、次の第3サイクルS23では、コード64を出力するのを中止しコード68のみを出力し、タブレット(4)からシリアル座標データ69を受けとる。このときコンピュータ本体11と通信を行っている座標検出装置はタブレット(4)だけであるので、コンピュータ本体11は、タブレット(4)からのシリアル座標データ69を受けとった後、他のタブレットのリクエストコードを得るべく4以外のアスキーコード70を送出する。タブレット(1)～(3)、(5)～(8)のいずれか1つからリクエストコードを受ける場合には、サイクルS13と同様なサイクルが繰り返し行われる。タブレット(4)以外のタブレットからリクエストコードが送出されない場合には、第3サイクル23が繰り返し行われる。

【0035】図8(C)の通信について説明する。この通信では、図8(B)の通信で、仮に、タブレット(4)以外のタブレットからリクエストコードが送られず、コンピュータ本体11とタブレット(4)の間だけで通信が行われている場合において、タブレット(4)がコンピュータ本体11との通信から離脱する状態を示す。第1サイクルS31は、サイクルS23と同じ内容である。第2サイクルS32で、タブレット(4)からシリアル座標データ69を受け、かつそのデータ69の中にエンドビットが含まれているとする。そ

うすると、コンピュータ本体11は、第3サイクルS33において、コード68の送出を中止し、1～8のアスキーコード62を再び送出し、送信要求を求める。こうして、コンピュータ本体11とタブレット(4)との間の通信が終了する。

【0036】図8に示したプロトコルによる競合制御では、2台の座標検出装置(タブレット)による同時描画を可能にする通信である。この方式によれば、1つの通信サイクルが10msであるとき、各タブレットについて、10msの通信サイクルで1ポイント分の座標データを取り込み、1秒間に100ポイントの座標データを取り出し描画できる。手書きの入力であれば、2人までの同時入力に対応する同時描画が十分に可能である。また、上記のプロトコルによる競合制御によれば、コンピュータ本体11の側において、入力内容を送出する座標検出装置を選択しているため、どの座標検出装置の入力内容が描画されているかを認識することができるという利点を有する。またコンピュータ本体11は、どの座標検出装置の入力内容が描画されているかという情報を座標検出装置12の側に送って、各座標検出装置の表示部に表示させることもできる。

【0037】図9は図6で説明した競合制御回路の他の実施例を示す。図9において、図6で説明した要素と実質的に同一の要素には同一の符号を付している。図6に示した競合制御回路では、コンピュータ本体11の側において、8台の座標検出装置のうちどの座標検出装置の入力内容がコンピュータ本体に取り込まれ、各座標検出装置の表示部で描画されているかを判断できない。そこで、本実施例の競合制御回路の構成によれば、図10に示すポート番号付加回路(図9中では図示せず)を付設し、ORゲート55の出力Q1と、デコーダ56から出力されるポート番号に関するデータP1～P4とを利用して、どの座標検出装置の入力内容を取り込んだかを認識し、コンピュータ本体11にポート番号データ(ID信号)Q2を送出するように構成している。ポート番号データQ2は、付加されたORゲート71で、座標検出装置から送られてくるシリアル座標データのデータフォーマット(4バイトで構成される)の最後に1バイト分を追加され、コンピュータ本体11へ送出される。この構成によって、コンピュータ本体11は、どの座標検出装置の入力内容を取り込んだかを認識することができる。

【0038】本実施例による競合制御を行い、例えば、描画されている入力内容がどの座標検出によるものか等の情報を各座標検出装置の表示部に表示させる場合には、コンピュータ本体11において、シリアル座標データに追加されて送られてくるポート番号データを識別しデータ処理する機能手段を設けることが必要となる。

【0039】ポート番号の付加の仕方について説明する。まず各タブレットから出力されるシリアル座標デー



タのデータフォーマットは、例えば図12に示すように4バイトである。このシリアル座標データの中にはX座標データX0~X10、Y座標データY0~Y9、スイッチデータS0~S6が含まれる。このシリアル座標データは、パラレルアダプタ13に取り込まれると、図9に示されるようにORゲート55の出力端からQ1として出力され、ORゲート71に送給されると同時に図10に示すポート番号付加回路のラッチ72に供給される。またポートを指定したデコーダ56の出力信号P1~P4（ポート番号データ）もコーダー79に供給される。

【0040】座標検出装置12からコンピュータ本体11へのシリアル座標データの送信では、一般的な非同期式調歩同期通信が行われる。この方式の送信では、例えば、スタートビット（1ビット）がロー、次の8ビットがデータビット、最後のストップビット（1~2ビット）がハイとなり、これによって1バイト分に対応するデータの転送を行う。

【0041】図10に示したポート番号付加回路において、ラッチ72に入力される座標データQ1は、図11に示されるように、第1バイトから第4バイトのデータが順次にラッチ72に入力される。ラッチ72とカウンタ73は、各バイトにおいてスタートビットからストップビットまでの時間T2（信号Q3において）を計測し、ラッチ74とカウンタ75はストップビットから3ビット分（信号Q4における時間T3）を計測する。ANDゲート76は、カウンタ75から出力される信号Q5中の新たなスタートビットをチェックし、スタートビットがチェックできない場合には、ラッチ77から信号Q6を出力させ、この信号Q6をシリアルパラレル変換器78に与え、シリアルパラレル変換器78を動作させる。シリアルパラレル変換器78は、コーダー79を経由して通信中のポート番号のデータが入力されているので、ポート番号データ（信号Q2）を出力する、このポート番号データQ2は、ORゲート71を経由して、シリアル座標データのデータフォーマットの最後に、第5バイト目として1バイト分追加してコンピュータ本体11に対して送信される。4バイトのシリアル座標データに対し第5バイト目としてポート番号データが追加されたパラレルアダプタ13の出力データフォーマットの例を図13に示す。図13において、N0~N6はポート番号を表している。

【0042】

【発明の効果】以上の説明で明かなように本発明によれば、液晶コントロール信号を生成する手段を内蔵するコンピュータ本体と、液晶コントローラ、RGB-LCD変換LSI、表示メモリを内蔵しない表示装置付き座標検出装置と、パラレルアダプタを用いてコンピュータ

システムを構成し、これを電子会議システムに利用するようにしたため、安価な表示装置付き座標検出装置を多数使用でき、システム全体を安価に作ることができる。また各表示装置付き座標検出装置とパラレルアダプタの接続は統合された1本のケーブルで行うことができ、配線の点で、座標検出装置のパラレルアダプタへの接続が容易であると共に、座標検出装置の増設が容易である。さらに、表示装置付き座標検出装置には、液晶コントローラ等が内蔵されないで、薄型に作ることができ、使用しやすいシステムにすることができる。さらに、パラレルアダプタ内に競合制御回路を設けたため、各座標検出装置から送られるシリアル座標データを衝突させることなく、コンピュータ本体へ送ることができる。

【図面の簡単な説明】

【図1】本発明に係るコンピュータシステムを示す構成図である。

【図2】コンピュータ本体と表示装置付き座標検出装置の内部構成を示すブロック図である。

【図3】表示装置付き座標検出装置の内部を詳しく示した構成図である。

【図4】電子会議システムの外観構成図である。

【図5】パラレルアダプタの内部構成を示す回路図である。

【図6】競合制御回路の実施例を示す回路図である。

【図7】パラレルアダプタの他の実施例を示す回路図である。

【図8】プロトコルによる競合制御を示すタイミングチャートである。

【図9】競合制御回路の他の実施例を示す回路図である。

【図10】ポート番号付加回路の実施例を示す回路図である。

【図11】ポート番号付加回路の各部の信号の関係を示すタイミングチャートである。

【図12】座標検出装置から出力されるデータフォーマットを示す図である。

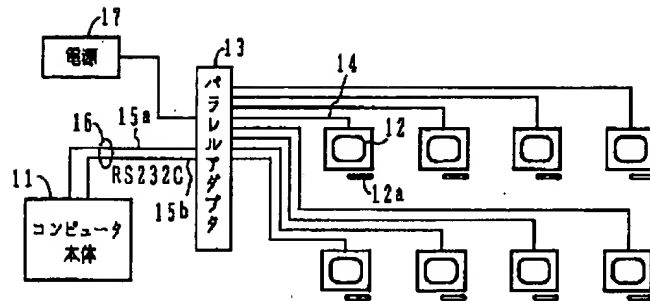
【図13】パラレルアダプタから出力するデータフォーマットを示す図である。

【図14】従来の電子会議システムを示す構成図である

【符号の説明】

11	コンピュータ本体
12	表示装置付き座標検出装置
13	パラレルアダプタ
32	LCDコントロール信号生成回路
36	LCD表示部
37	タブレットセンサ
50	競合制御回路

【図1】



12: 表示装置付き座標検出装置  
12a: 電子ペン

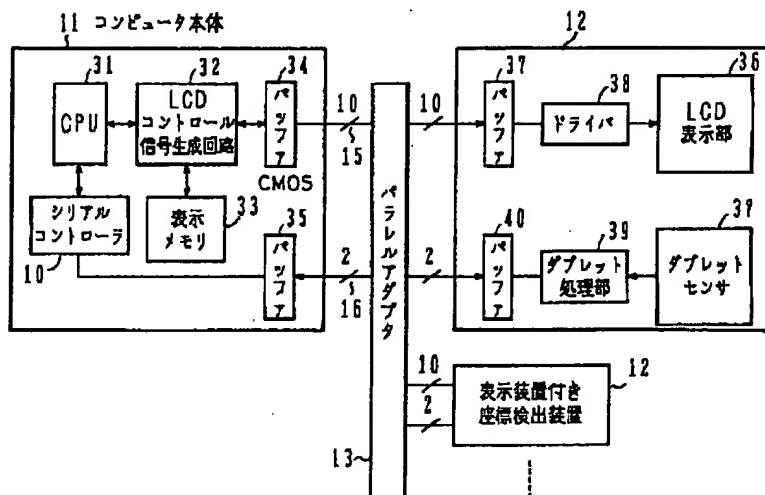
【図12】

タブレット出力フォーマット

BIT BYTE	7	6	5	4	3	2	1	0
1	1	X10	X9	X8	X7	Y9	Y8	Y7
2	0	Y6	Y5	Y4	Y3	Y2	Y1	Y0
3	0	X6	X5	X4	X3	X2	X1	X0
4	0	S6	S5	S4	S3	S2	S1	S0

X0~X10: 0~2047 X座標データ  
Y0~Y9: 0~1023 Y座標データ  
S0~S6: 0~127 スイッチデータ

【図2】



【図3】

【図13】

パラレルアダプタ出力フォーマット

BIT BYTE	7	6	5	4	3	2	1	0
1	1	X10	X9	X8	X7	Y9	Y8	Y7
2	0	Y6	Y5	Y4	Y3	Y2	Y1	Y0
3	0	X6	X5	X4	X3	X2	X1	X0
4	0	S6	S5	S4	S3	S2	S1	S0
5	0	N6	N5	N4	N3	N2	N1	N0

X0~X10: 0~2047 X座標データ  
Y0~Y9: 0~1023 Y座標データ  
S0~S6: 0~127 スイッチデータ  
N0~N6: ポート番号

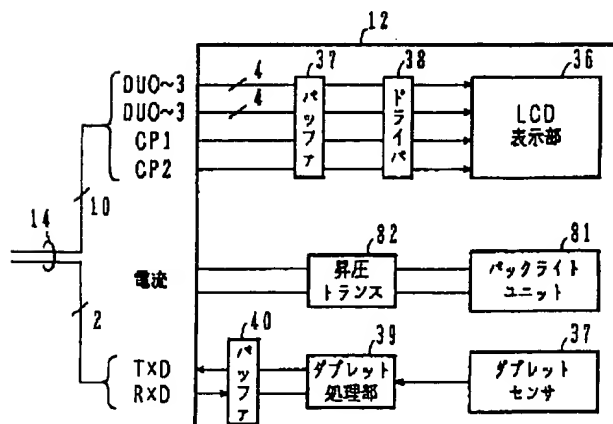
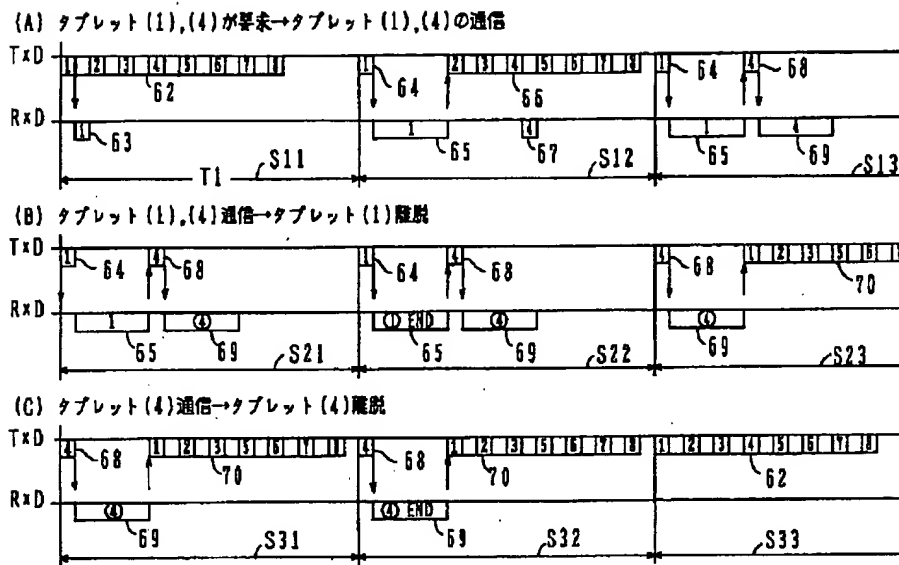


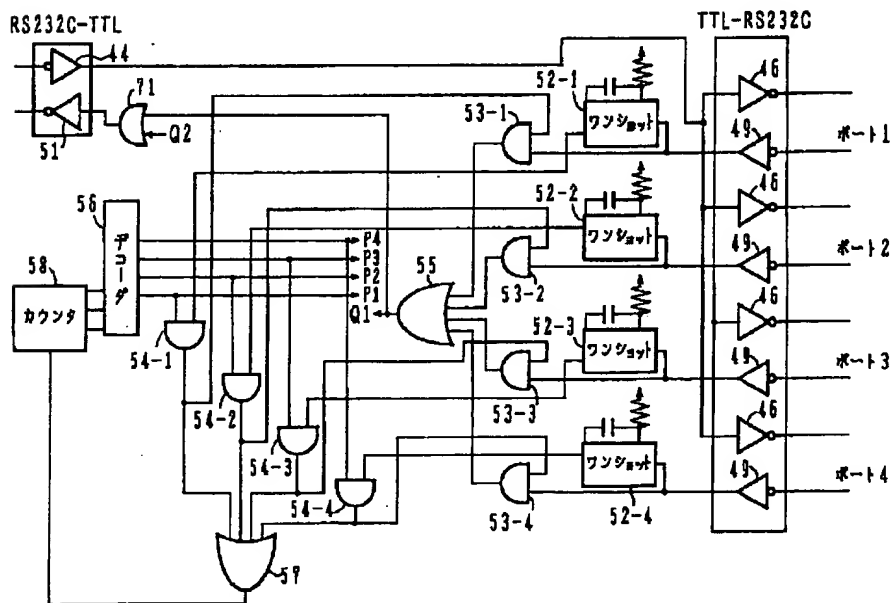
Figure 1 is a perspective view of a system for displaying information on a large electronic board. The system includes a large electronic board (19) on a stand, a control unit (20) with a vertical display, and a table (14) with multiple small display units (12) and a control unit (11). A cable (21) connects the system to a public line (公共回線へ).



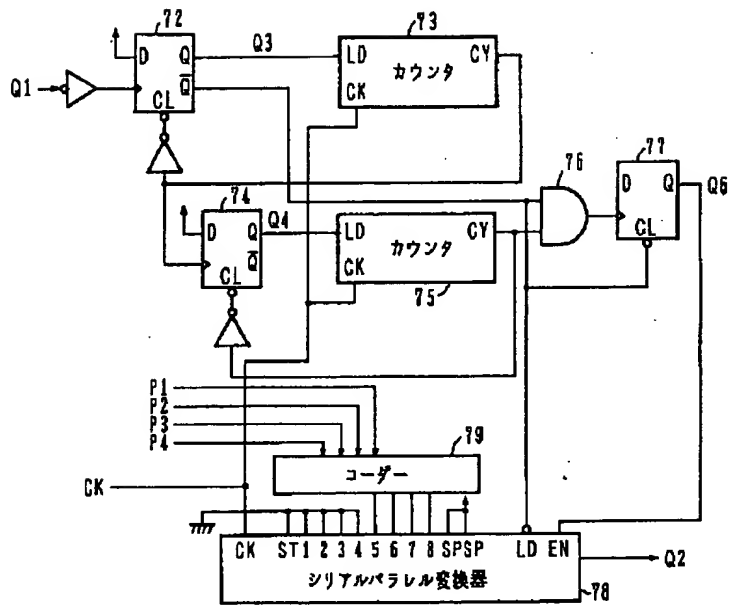
【図8】



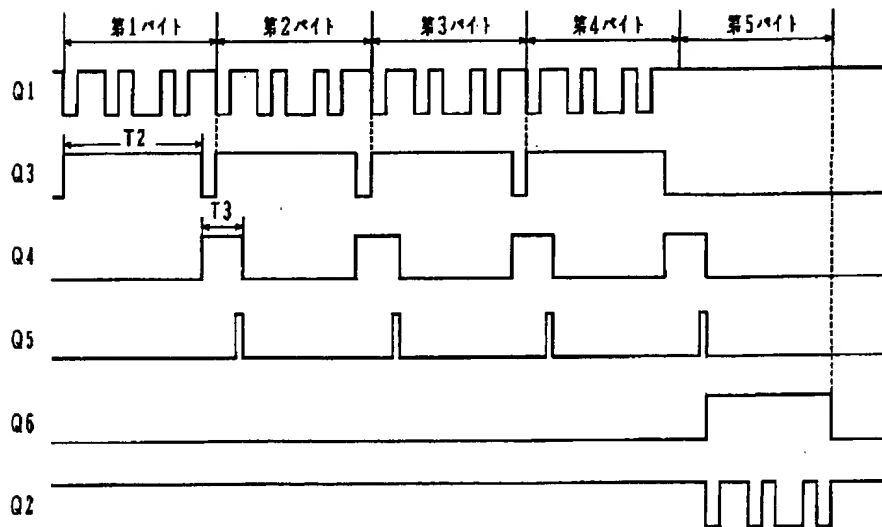
【図9】



【図10】



【図11】



【図14】

